

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-208849

(P2002-208849A)

(43)公開日 平成14年7月26日(2002.7.26)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>8</sup> (参考)
H 0 3 K 17/16		H 0 3 K 17/16	M 5 H 5 7 0
H 0 2 M 1/00		H 0 2 M 1/00	F 5 H 7 4 0
H 0 2 P 7/00		H 0 2 P 7/00	A 5 J 0 5 5
H 0 3 K 17/695		H 0 3 K 17/687	B

審査請求 未請求 請求項の数5 O L (全 7 頁)

(21)出願番号 特願2001-3152(P2001-3152)

(22)出願日 平成13年1月11日(2001.1.11)

(71)出願人 390020248

日本テキサス・インスツルメンツ株式会社  
東京都新宿区西新宿六丁目24番1号

(72)発明者 池沢 勝也

大阪市北区天満橋1丁目8番30号 O A P  
オフィスタワー26階 日本テキサス・イン  
スツルメンツ株式会社内

(74)代理人 100102875

弁理士 石島 茂男 (外1名)

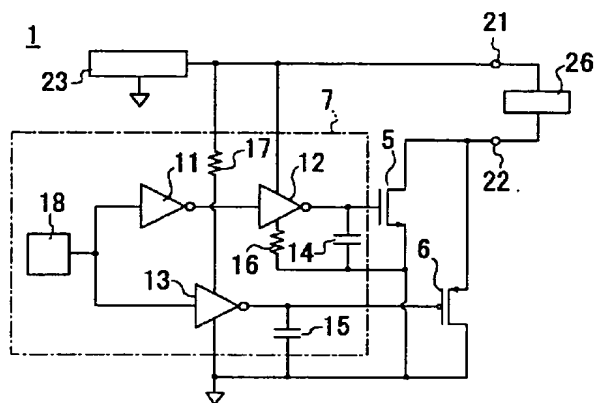
最終頁に続く

(54)【発明の名称】 誘導性負荷駆動回路

(57)【要約】

【課題】サージ電圧の発生を防止することができる誘導性負荷駆動回路を提供する。

【解決手段】出力トランジスタ5と補助トランジスタ6とを並列接続し、出力トランジスタ5が遮断する際に補助トランジスタ6を導通状態に保持しておき、誘導性の負荷26に残留するエネルギーを、補助トランジスタ6に電流を流して消費させる。出力トランジスタ5に流れる電流を減衰させた後、遮断させるようにすると、誘導性負荷26に生じる逆起電力が小さいので、逆起電力を、補助トランジスタ6の閾電圧でクランプすることができる。



【特許請求の範囲】

【請求項1】誘導性負荷に対する電流路を供給するための主トランジスタと、

上記主トランジスタと並列に接続されている補助トランジスタと、

上記主トランジスタの制御端子に第1の制御信号を供給する第1のドライバと上記第1の制御信号の立ち上がり及び立ち下がり特性を鈍らせる第1の波形整形回路と上記補助トランジスタの制御端子に第2の制御信号を供給する第2のドライバと上記第2の制御信号の立ち上がり及び立ち下がり特性を鈍らせる第2の波形整形回路とを有し、上記主トランジスタと上記補助トランジスタとを共に導通状態とすると共に上記主トランジスタと上記補助トランジスタとを共に非導通状態とする制御回路と、を有する誘導性負荷駆動回路。

【請求項2】上記第1の波形整形回路が上記主トランジスタの制御端子に接続された第1のコンデンサを有し、上記第2の波形整形回路が上記補助トランジスタの制御端子に接続された第2のコンデンサを有する請求項1に記載の誘導性負荷駆動回路。

【請求項3】上記第1の波形整形回路が上記主トランジスタを非導通状態に遷移させる際の上記第1の制御信号の波形を鈍らせるための電流制限用の第1の抵抗を有し、上記第2の波形整形回路が上記補助トランジスタを非導通状態に遷移させる際の上記第2の制御信号の波形を鈍らせるための電流制限用の第2の抵抗を有する請求項2に記載の誘導性負荷駆動回路。

【請求項4】上記主トランジスタがnチャネルMOSトランジスタで構成され、上記補助トランジスタがpチャネルMOSトランジスタで構成される請求項2又は3に記載の誘導性負荷駆動回路。

【請求項5】上記主トランジスタと上記補助トランジスタの導通・非導通のタイミングがずれている請求項1、2、3又は4に記載の誘導性負荷駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、誘導性負荷に電流を供給する誘導性負荷駆動回路に関し、特に、誘導性負荷の逆起電力によるサージ電圧の発生を防止する技術に関する。

【0002】

【従来の技術】従来より、モータ内の巻線等を誘導性負荷とし、その誘導性負荷に電流を供給する誘導性負荷供給回路は広く用いられている。

【0003】図6に示す誘導性負荷駆動回路101を用いてその動作原理を説明する。この誘導性負荷駆動回路101は、nチャネルMOSFETで構成された出力トランジスタ105と、該出力トランジスタ105を動作させるトランジスタ制御回路118と、該トランジスタ制御回路118の出力端子と出力トランジスタ105の

ゲート端子の間に挿入され、トランジスタ制御回路118の出力信号を反転させてゲート端子に伝達させるインバータ112とを有している。

【0004】符号121は、この誘導性負荷駆動回路101の高電位側出力端子を示しており、符号122は、低電位側出力端子を示している。高電位側出力端子121には、直流電圧源123が出力する正電圧が印加されており、低電位側出力端子122には、出力トランジスタ105のドレイン端子が接続されている。

【0005】高電位側出力端子121と低電位側出力端子122の間には負荷126が接続されており、出力トランジスタ105が導通し、低電位側出力端子122が接地電位に接続されると、直流電圧源123から負荷126に電流が供給されるようになっている。

【0006】出力トランジスタ105が導通から遮断に転じると、負荷126に流れる電流は停止する。

【0007】このように、負荷126に流れる電流を、出力トランジスタ105の導通と遮断を制御することで制御できるので、例えば出力トランジスタ105の導通期間と遮断期間の大きさ及び比を一定にすることで、負荷126に流れる平均電流の大きさを一定に制御できるようになっている。

【0008】しかし、負荷126が誘導性であるため、出力トランジスタ105が遮断から導通に転じる際に、低電位側出力端子122に正極性の誘導起電力が発生してしまう。

【0009】図7のグラフは低電位側出力端子122の電圧変化を示しており、そのグラフの50μ秒付近のピークは、誘導起電力によるサージ電圧である。このようなサージ電圧は、出力トランジスタ105の破壊の原因になったり、他の回路の誤動作の原因になるので、誘導性負荷駆動回路101とは別にダイオードを設けてサージ電圧を吸収する必要がある。従って、コスト高を招き、また回路の小型化にも支障がある。

【0010】

【発明が解決しようとする課題】本発明は上記従来技術の不都合を解決するために創作されたものであり、その目的は、サージ電圧を発生させない誘導性負荷駆動回路を提供することにある。

【0011】

【課題を解決するための手段】上記課題を解決するために、本願発明の誘導性負荷駆動回路は、誘導性負荷に対する電流路を供給するための主トランジスタと、上記主トランジスタと並列に接続されている補助トランジスタと、上記主トランジスタの制御端子に第1の制御信号を供給する第1のドライバと上記第1の制御信号の立ち上がり及び立ち下がり特性を鈍らせる第1の波形整形回路と上記補助トランジスタの制御端子に第2の制御信号を供給する第2のドライバと上記第2の制御信号の立ち上がり及び立ち下がり特性を鈍らせる第2の波形整形回路

とを有し、上記主トランジスタと上記補助トランジスタとを共に導通状態とすると共に上記主トランジスタと上記補助トランジスタとを共に非導通状態とする制御回路とを有する。本発明の誘導性負荷駆動回路においては、上記第1の波形整形回路が上記主トランジスタの制御端子に接続された第1のコンデンサを有し、上記第2の波形整形回路が上記補助トランジスタの制御端子に接続された第2のコンデンサを有する。また、本発明の誘導性負荷駆動回路は、上記第1の波形整形回路が上記主トランジスタを非導通状態に移移させる際の上記第1の制御信号の波形を鈍らせるための電流制限用の第1の抵抗を有し、上記第2の波形整形回路が上記補助トランジスタを非導通状態に移移させる際の上記第2の制御信号の波形を鈍らせるための電流制限用の第2の抵抗を有する。また、本発明の誘導性負荷駆動回路は、上記主トランジスタがnチャネルMOSトランジスタで構成され、上記補助トランジスタがpチャネルMOSトランジスタで構成される。更に、本発明の誘導性負荷駆動回路は、上記主トランジスタと上記補助トランジスタの導通・非導通のタイミングがずれている。

【0012】本発明は上記のように構成されており、補助トランジスタ主（出力）トランジスタの遮断タイミングからずれて、例えば遅れて遮断するので、誘導性負荷に残留するエネルギーを補助トランジスタが放出させることができる。

【0013】また、補助トランジスタのソース端子を、誘導性負荷の逆起電力が生じる端子に接続しておくこと、出力トランジスタの遮断によって誘導性負荷に逆起電力が生じて、逆起電力の大きさが、補助トランジスタのソース端子とゲート端子の間の閾電圧にクランプされる。

【0014】また、出力トランジスタをゆっくり遮断させ、出力トランジスタに流れる電流が徐々に減衰するようにしておき、誘導性負荷に流れる電流が逆起電力が発生しない程度の大きさまで減衰した後、補助トランジスタを遮断させることもできる。

【0015】

【発明の実施の形態】本発明の実施例を図面を用いて説明する。図1を参照し、符号1は本発明の第一例の誘導性負荷駆動回路を示している。

【0016】この誘導性負荷駆動回路1は、出力トランジスタ5と、補助トランジスタ6と、トランジスタ制御回路7と、高電位側出力端子21と、低電位側出力端子22とを有している。

【0017】出力トランジスタ5は、nチャネルMOSFETで構成されており、補助トランジスタ6はpチャネルMOSFETで構成されている。

【0018】出力トランジスタ5と補助トランジスタ6とは並列接続されており、出力トランジスタ5のソース端子と補助トランジスタ6のドレイン端子は、共に接地

電位に接続され、出力トランジスタ5のドレイン端子と補助トランジスタ6のソース端子は、共に低電位側出力端子22に接続されている。

【0019】高電位側出力端子21には、正電圧を出力する直流電圧源23が接続されており、高電位側出力端子21と低電位側出力端子22の間に負荷26を接続した状態で、出力トランジスタ5が導通すると、低電位側出力端子22が接地電位に接続され、直流電圧源23から負荷26に電流が供給されるように構成されている。

【0020】出力トランジスタ5と補助トランジスタ6の動作は、トランジスタ制御回路7によって制御される。

【0021】トランジスタ制御回路7の内部構成を説明すると、トランジスタ制御回路7内には、第1～第3のインバータ11～13と、第1、第2のコンデンサ14、15と、第1、第2の抵抗素子16、17と、論理回路18とを有している。

【0022】第1、第2のインバータ11、12は直列接続されており、論理回路18が出力する論理信号を2回反転させて、出力トランジスタ5のゲート端子に伝達するように構成されている。

【0023】また、論理回路18が出力する論理信号は、第3のインバータ13に入力され、該第3のインバータ13で反転された信号が補助トランジスタ6のゲート端子に出力されるように構成されている。

【0024】従って、論理回路18が出力した論理信号がハイ信号の場合には、出力トランジスタ5のゲート端子にはハイ信号が入力され、補助トランジスタ6のゲート端子にはロー信号が入力される。

【0025】逆に、論理回路18が出力した論理信号がロー信号の場合には、出力トランジスタ5のゲート端子にはロー信号が入力され、補助トランジスタ6のゲート端子にはハイ信号が入力される。

【0026】第2、第3のインバータ12、13の出力端子は、第1、第2のコンデンサ14、15を介して、それぞれ接地電位に接続されている。

【0027】第2のインバータ12の内部回路は、その電源端子が直流電圧源23に直結され、接地端子が第1の抵抗素子16を介して接地電位に接続されている。他方、第3のインバータ13の内部回路は、その電源端子が第2の抵抗素子17を介して直流電圧源23に接続されており、接地端子は、接地電位に直結されている。

【0028】その結果、第1、第2の抵抗素子16、17により、第2のインバータ12の吸い込み電流と、第3のインバータ13の吐き出し電流が制限されている。

【0029】論理回路18がハイ信号を出力し、第2、第3のインバータ12、13がそれぞれハイ信号とロー信号を出力し、出力トランジスタ5と補助トランジスタ6とが導通状態に置かれている状態では、第1のコンデンサ14は、ハイ信号によって充電された状態になって

おり、第2のコンデンサ15は、ロー信号によって放電した状態になっている。

【0030】その状態から、論理回路18の出力信号が反転すると、第2のインバータ12は電流を吸い込み、出力トランジスタ5のゲート端子の電圧を低下させる方向に動作し、また、第3のインバータ13は電流を吐き出し、補助トランジスタ6のゲート端子の電位を上昇させる方向に動作する。

【0031】このとき、第2のインバータ12の吸い込み電流と第3のインバータ13の吐き出し電流は第1、第2の抵抗16、17によって制限されているため、出力トランジスタ5のゲート端子の電圧はゆっくり低下し、補助トランジスタ6のゲート端子の電圧はゆっくり上昇する。その結果、出力トランジスタ5と補助トランジスタ6とは、導通状態から遮断状態にゆっくり切り替わるため、出力トランジスタ5に流れる電流と補助トランジスタ6に流れる電流は徐々に減少する。

【0032】このように、出力トランジスタ5側では、符号14で示した第1のコンデンサと符号16で示した第1の抵抗素子とを組合わせた回路が、出力トランジスタ5に流れる電流を徐々に減少させる遅延回路として動作し、補助トランジスタ6側では、符号15で示した第2のコンデンサと、符号17で示した第2の抵抗素子とを組合わせた回路が、補助トランジスタ6に流れる電流を徐々に減少させる遅延回路として動作する。

【0033】次に、本発明の誘導性負荷駆動回路1の動作を説明すると、論理回路18の出力信号が、ハイ信号からロー信号に切り替わると、第1のコンデンサ14の容量が第2のコンデンサ15の容量よりも小さいため、まず、出力トランジスタ5のゲート端子の電圧がゆっくり低下し、負荷26に流れる電流が徐々に減少する。

【0034】負荷26は、携帯電話に内蔵されているバイブレータを動作させる小型モータの巻線であり、誘導性の負荷である。従って、電流が急に遮断された場合には逆起電力が生じ、低電位側出力端子22の電位が急速に上昇してしまうが、このように負荷26に流れる電流が徐々に減少する場合には、逆起電力は生じないか、または生じても小さな電圧で済む。

【0035】負荷26に流れる電流が十分に減衰した状態では、補助トランジスタ6のゲート端子の電圧が十分大きくなり、補助トランジスタ6に流れる電流も減少している。

【0036】出力トランジスタ5が完全に遮断する際、出力トランジスタ5に流れる電流が十分減衰している場合には、負荷26に逆起電力は生じないが、逆起電力が生じてしまった場合でも、出力トランジスタ5が完全に遮断するときには、補助トランジスタ6のゲート端子の電圧は完全には上昇しておらず、補助トランジスタ6には微少な電流が流れており、導通状態が維持されている。

【0037】補助トランジスタ6が微少な電流で導通している場合、補助トランジスタ6のソース端子の電圧は、ゲート端子の電圧に、補助トランジスタ6の閾電圧 $V_{TP}$ を加えた電圧に等しい。

【0038】低電位側出力端子22に誘導起電力が生じた場合、補助トランジスタ6のソース端子の電位、即ち低電位側出力端子22の電位は、補助トランジスタ6のゲート端子の電圧に、閾電圧 $V_{TP}$ を加えた電圧でクランプされる。

【0039】補助トランジスタ6のゲート端子の電圧は、直流電圧源23から印加される電圧以上には大きくならないから、結局、低電位側出力端子22の電位は、最大でも直流電圧源23が出力する電圧に閾電圧 $V_{TP}$ を加えた大きさにしか上昇しない。

【0040】負荷26に蓄積されていた磁気エネルギーが全て放出され、低電位側出力端子22の電位が低下し、補助トランジスタ6のソース端子とゲート端子の間の電圧差が閾電圧 $V_{TP}$ よりも低下すると、補助トランジスタ6は遮断し、負荷26に流れる電流はゼロになる。

【0041】このように、出力トランジスタ5の遮断によって逆起電力が発生しても、補助トランジスタ6が導通状態を保持することによって低電位側出力端子22の電位がクランプされ、サージ電圧の発生が防止される。

【0042】図5は、本発明の誘導性負荷駆動回路1の動作を説明するためのタイミングチャートであり、 $V_{22}$ は低電位側出力端子22の電位を示しており、 $V_{g6}$ は補助トランジスタ6のゲート端子の電圧を示しており、 $V_{g5}$ は出力トランジスタ5のゲート端子の電圧を示している。

【0043】時刻 $t_1$ において出力トランジスタ5と補助トランジスタ6とが導通した後、時刻 $t_2$ において、まず、出力トランジスタ5のゲート端子の電圧 $V_{g5}$ が低下し始め、出力トランジスタ5が遮断状態に向かう。

【0044】次いで、時刻 $t_3$ において補助トランジスタ6のゲート端子の電圧 $V_{g6}$ が上昇し始め、補助トランジスタ6が遮断状態に向かう。

【0045】時刻 $t_3$ の経過後、負荷26に流れる電流は徐々に減少し、時刻 $t_4$ において出力トランジスタ5が完全に遮断する。出力トランジスタ5が遮断する際には負荷26に流れる電流は十分小さくなっており、負荷26に残留するエネルギーは、補助トランジスタ6に流れる。

【0046】時刻 $t_5$ において、補助トランジスタ6のゲート端子の電圧 $V_{g6}$ が、直流電圧源23の出力電圧に等しくなった後も、負荷26の逆起電力によって僅かに電流が流れ、負荷26に残留するエネルギーが消費され、逆起電力が消滅した時刻 $t_6$ において、負荷26に流れる電流はゼロになる。このとき、低電圧側出力端子22の電位は、直流電圧源23が出力する電圧と等しくなる。

【0047】なお、上記第一例の誘導性負荷駆動回路1では、直流電圧源23により、高電位側出力端子21に正電圧を印加しており、出力トランジスタ5及び補助トランジスタ6を導通させたときに、低電位側出力端子22を接地電位に接続させたが、本発明はそれに限定されない。

【0048】図2は、本発明の第二例の誘導性負荷駆動回路2を示しており、この誘導性負荷駆動回路2は、正電圧を出力する直流電圧源23に替え、負電圧を出力する直流電圧源24によって動作するように構成されている。

【0049】この誘導性負荷駆動回路2では、高電位側出力端子21が接地電位に接続されている。他方、低電位側出力端子22は、出力トランジスタ5と補助トランジスタ6とが導通したときに、直流電圧源23が出力する負電圧が印加される。

【0050】この誘導性負荷駆動回路2の動作は、第一例の誘導性負荷駆動回路1の動作と同じである。また、以上第一例、第二例の誘導性負荷駆動回路1、2では、出力トランジスタ5にnチャネルMOSFETを用い、補助トランジスタ6にpチャネルMOSFETを用いたが、本発明はそれに限定されるものではない。

【0051】図3は、本発明の第三例の誘導性負荷駆動回路3を示しており、この誘導性負荷駆動回路3は、pチャネルMOSFETから成る出力トランジスタ55と、nチャネルMOSFETから成る補助トランジスタ56とを有している。

【0052】出力トランジスタ55と補助トランジスタ56とは並列接続されており、出力トランジスタ55のソース端子と補助トランジスタ56のドレイン端子は接地電位に接続されている。また、出力トランジスタ55のドレイン端子と補助トランジスタ56のソース端子は高電圧側出力端子71に接続されている。

【0053】低電位側出力端子72は、直流電圧源73に接続されており、直流電圧源73が出力する負電圧が印加されている。

【0054】出力トランジスタ55と補助トランジスタ56は、トランジスタ制御回路57によって制御されており、出力トランジスタ55と補助トランジスタ56とが導通し、高電圧側出力端子が接地電位に接続されると、負荷76には、接地電位から直流電圧源73側に向けて電流が流れる。

【0055】トランジスタ制御回路57内の第1～第3のインバータ61～63は、図1、図2に示した制御回路7の第1～第3のインバータ11～13に対応する素子であり、論理回路68が出力する論理信号を出力トランジスタ55と補助トランジスタ56とに伝達し、出力トランジスタ55と補助トランジスタ56とを動作させる。

【0056】このトランジスタ制御回路57では、出力

トランジスタ55のゲート端子と接地電位の間と、補助トランジスタ56のゲート端子と接地電位の間に、それぞれ第1、第2のコンデンサ64、65が挿入されている。

【0057】そして、第2、第3のインバータ62、63に接続された第1、第2の抵抗素子66、67が、出力トランジスタ55に接続された第1のコンデンサ64の放電電流と、補助トランジスタ56に接続された第2のコンデンサ65の充電電流を制限する。従って、出力トランジスタ55と補助トランジスタ56が導通から遮断に転じる際のゲート端子の電圧がゆっくり変化する。その結果、出力トランジスタ55と補助トランジスタ56が導通から遮断に転じる際には、それらに流れる電流が徐々に小さくなる。

【0058】この第三例の誘導性負荷駆動回路3において、出力トランジスタ55が導通から遮断に転じる際には、高電圧側出力端子71に負極性の電圧が誘起される。出力トランジスタ55が遮断する際には、補助トランジスタ56は導通しており、高電圧側出力端子71の電圧が、補助トランジスタ56のゲート端子の電圧から、補助トランジスタ56の閾電圧 $V_{TN}$ だけ下がった電圧でクランプされる。その結果、負のサージ電圧は発生しない。

【0059】図4は、本発明の第四例の誘導性負荷駆動回路4を示しており、この誘導性負荷駆動回路4は、負電圧を出力する直流電圧源73に替え、正電圧を出力する直流電圧源74に、出力トランジスタ55のソース端子と補助トランジスタ56のドレイン端子が接続されている。

【0060】出力トランジスタ55のドレイン端子と補助トランジスタ56のソース端子は、高電圧側出力端子71に接続されている。また、低電圧側出力端子72は接地電位に接続されている。

【0061】図4に示された誘導性負荷駆動回路4でも、図3に示された誘導性負荷駆動回路3と同じ動作で負荷76に電流を供給する。

【0062】上述した実施例において、出力トランジスタ及び補助トランジスタをバイポーラトランジスタ、例えばnpnバイポーラトランジスタ及びpnpバイポーラトランジスタで構成できることは当業者には明らかであろう。

【0063】

【発明の効果】外付けダイオードを用いなくても、誘導性負荷の逆起電力によるサージ電圧の発生を防止することができる。

【図面の簡単な説明】

【図1】本発明の第一例の誘導性負荷駆動回路の回路図

【図2】本発明の第二例の誘導性負荷駆動回路の回路図

【図3】本発明の第三例の誘導性負荷駆動回路の回路図

【図4】本発明の第四例の誘導性負荷駆動回路の回路図

【図5】第一例の誘導性負荷駆動回路の動作を説明するためのタイミングチャート

【図6】従来の誘導性負荷駆動回路の一例

【図7】そのサージ電圧を説明するためのグラフ

【符号の説明】

1～4……誘導性負荷駆動回路

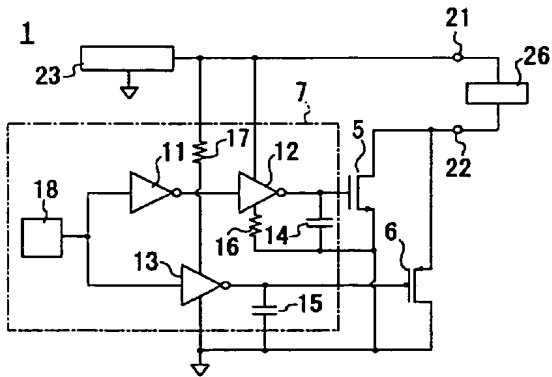
5、55……出力トランジスタ

6、56……補助トランジスタ

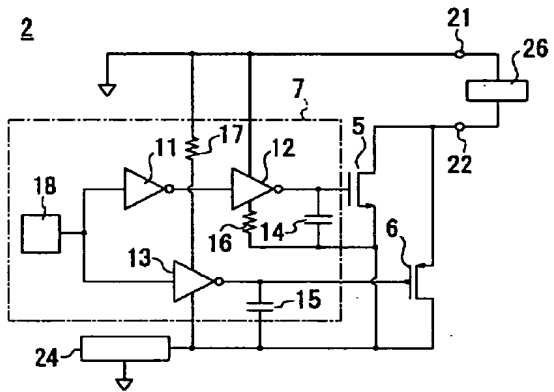
7、57……トランジスタ制御回路

26、76……誘導性負荷

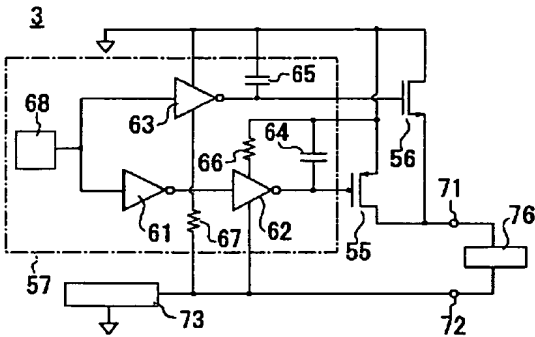
【図1】



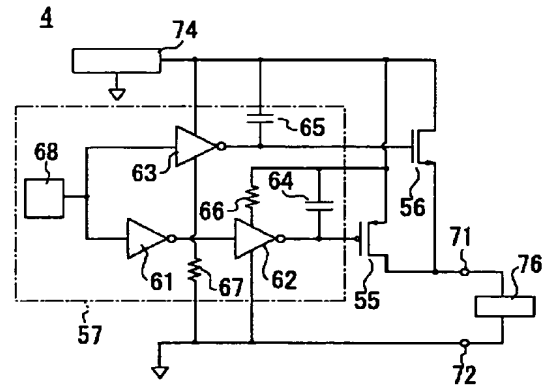
【図2】



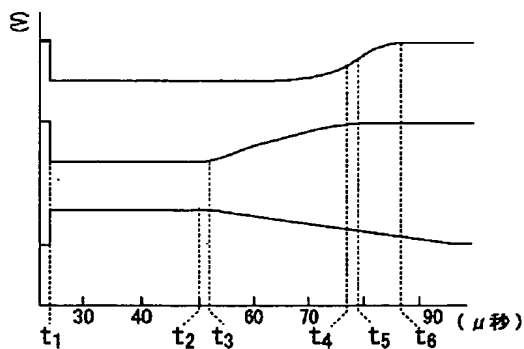
【図3】



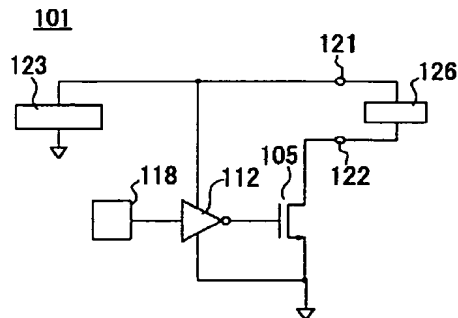
【図4】



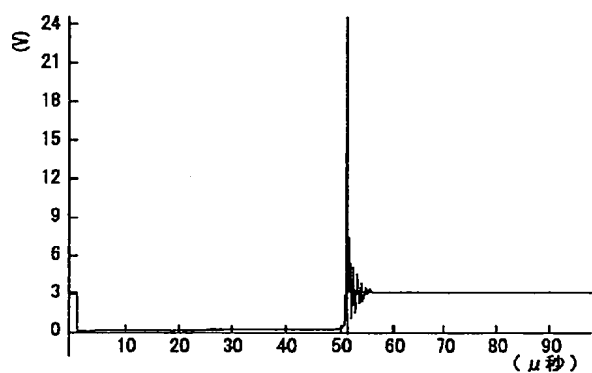
【図5】



【図6】



【図7】



---

フロントページの続き

Fターム(参考) 5H570 AA30 BB07 BB09 BB11 CC01  
HA08 MM03  
5H740 BA12 BA16 BC01 BC02 HH01  
JB01 KK01 MM01  
5J055 AX26 BX16 CX13 DX22 EX07  
EY01 EY10 EZ16 FX04 FX12  
FX20 FX25 FX37 GX01